



KL-310

Цифровой логический тренажер



Цифровой логический тренажер KL-310 предназначена для студентов и инженеров, занимающихся разработкой и тестированием прототипов схем. Она включает схемы комбинаторной логики, последовательной логики, памяти, АЦП/ЦАП и другие экспериментальные схемы. Имеется несколько схем приложений (ШИМ, таймер, управление двигателем и др.).

Все необходимое оборудование для экспериментов с цифровой логикой - источник питания, синхрогенератор, переключатели, дисплеи - имеется в главном блоке. Лаборатория состоит из 10 экспериментальных модулей и одной микросхемы CPLD и модуля экспериментальной макетной платы.

► Особенности

- Тренажер полностью построен на логических схемах FPGA/CPLD. Каждый модуль имеет защитную буферную цепь и запитывается от главного блока через силовой разъем, исключающий неправильную подачу питания во время проведения опыта.
- Позволяет выполнять опыты с логическими схемами на разных уровнях, от комбинаторной и последовательной логики до сопряжения логических схем с микроконтроллером и бытовых практических приложений.
- Студенты могут применять свои схемы, собранные с помощью универсального устройства CPLD и экспериментального модуля макетной платы, что позволяет собирать прототипы большинства аналоговых и цифровых схем системы.
- Содержит схемы АЦП и ЦАП разных типов для изучения разных схем сопряжения аналоговых и цифровых сигналов.
- Встроенный 8-канальный мультиплексор в главном блоке для измерения различных цифровых сигналов в реальном времени.
- Различные режимы работы 4-разрядного 7-сегментного дисплея (а) режим развертки (б) режим отображения отдельного разряда (с) режим счетчика частоты для измерения внутренней и внешней синхронизации.
- Отдельный ящик для каждого модуля, обеспечивающий удобство хранения и переноски.

► Главный блок (KL-32001)

- В главном блоке имеются источник питания, генератор тактовых импульсов, переключатели, индикаторы логических сигналов, самописец для ряда сигналов и другая периферия, обеспечивающая удобное сопряжение с экспериментальными модулями.
- Четыре держателя на поверхности панели для жесткой фиксации экспериментальных модулей.
- В главном блоке есть 10-штыревая розетка питания постоянного тока для подключения модулей.

► Технические характеристики

- 1. Источник питания постоянного тока**
 - (1) Источник фиксированного напряжения питания постоянного тока : +5В/2А ; -5В/0.5А; +12В/2А
 - (2) С защитой от перегрузки
- 2. Тактовый генератор**
 - (1) Амплитуда выходного сигнала : 3.3В
 - (2) С регулируемой выходной частотой : прямоугольный сигнал, 1 Гц ~ 1 МГц, 6 диапазонов
 - (3) Дисплей частоты : 4-разрядный 7-сегментный светодиодный
- 3. Выключатель логического уровня**

Тумблеры x 8, выходной сигнал 3.3В
- 4. Выключатель уровня данных**

8-разрядный двухпозиционный выключатель x 2, выходной сигнал 3.3В
- 5. Генератор импульсных сигналов**
 - (1) 2 набора тумблеров с независимым регулированием выходов
 - (2) В каждом комплекте имеются выходы Q, \bar{Q}
 - (3) Ширина импульса >5 мс, с противодребезговой цепью
- 6. Индикатор логического уровня**
 - (1) 16-разрядный светодиодный со схемами запуска и защиты
 - (2) входной импеданс : >100КΩ
- 7. 8-канальный самописец логических сигналов**
 - (1) 8 логических сигнальных входов : входной импеданс : $\geq 100\text{K}\Omega$, вход 3.3В
 - (2) Фиксированный сдвиг уровня постоянного тока для каждого канала
 - (3) Коэффициент ослабления входного сигнала : 1/8
 - (4) Выходной сигнал : Байонет или 2-мм разъем
 - (5) SYNC осциллографа, выбор : ALT/CHOP и регулировка частоты развертки
 - (6) Эта функция может использоваться только с аналоговым осциллографом



8. 7-сегментный светодиодный дисплей и измерение частоты

2 двухпозиционных переключателя для выбора функции :

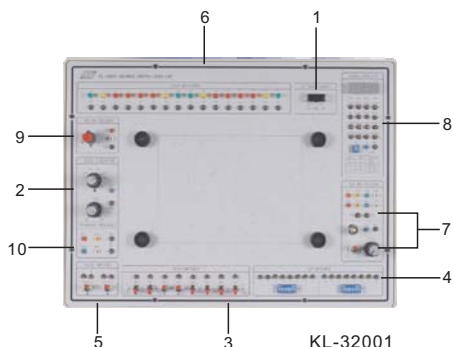
- (1) 00: Режим развертки
 - a. Общий анод для управления 7 сегментами A-G
 - b. Сканирующий катод для управления 4 разрядами S0-S3
- (2) 01: Режим независимого отображения
 - a. Раздельный ввод 4 разрядов данных и раздельное декодирование данных на 7-сегментном дисплее
 - b. Независимый двоичный вход и 16-ричный выход
- (3) 10: Счетчик частоты для внутренней синхронизации
 - a. Отображение частоты тактового генератора главного блока
 - b. Диапазон частот : 0.001кГц ~ 999.9кГц
- (4) 11: Счетчик частоты для внешней синхронизации
 - a. Отображение частоты тактового сигнала от внешнего блока
 - b. Диапазон частот : 0.001кГц ~ 999.9кГц

9. Вращающийся датчик поворота

Выход вращающегося датчика поворота : сигналы PA, PB и GND, выход 3.3В

10. Генератор стандартных сигналов

5 настроек частот : 20МГц, 1МГц, 10КГц, 100Гц, 1Гц



▶ Экспериментальный модуль

1. В каждом модуле имеется встроенный разъем для подключения питания постоянного тока от главного блока.
2. В каждом модуле есть микросхема CPLD для реализации всех цифровых схем, показанных на панели модуля.
3. Во всех модулях используются 2-миллиметровые разъемы, шунтирующие вилки и кабели, таким образом, студенты могут легко собирать схемы и быстро сравнивать результаты опытов.
4. Всеобъемлющее руководство по проведению опытов

▶ Перечень модулей

KL-34001

Эксперимент с комбинационной логической схемой

KL-34002

Эксперимент с арифметической логикой, логикой с тремя состояниями и преобразователем кода

KL-34003

Эксперимент с логическими схемами кодера, декодера и мультиплексера

KL-34004

Эксперимент со схемами триггера, последовательной логики и счетчика

KL-34005

Эксперимент с генератором/импульсными, нагрузочными схемами прямых/обратных счетчиков

KL-34006

Эксперимент со схемами памяти, светодиодными матрицами, ЦАП/АЦП и интерфейсом микропроцессорного контроллера

KL-34007

Эксперимент с цифровым и аналоговым таймером, схемой импульсного генератора

KL-34008

Эксперимент с непрерывным сравнением/SAC. и АЦП с двухстадийным интегрированием

KL-34009

Клавиатура и дисплей для позиционного управления шаговым двигателем

KL-34010

Точный цифровой таймер

KL-34011

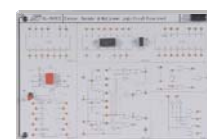
Эксперимент с универсальным устройством CPLD и монтажной платой



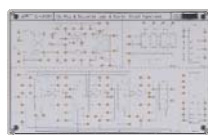
KL-34001



KL-34002



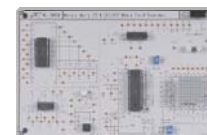
KL-34003



KL-34004



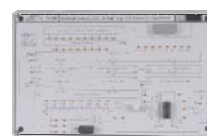
KL-34005



KL-34006



KL-34007



KL-34008



KL-34009



KL-34010



KL-34011



► Список экспериментов

1. KL-34001 Эксперимент с комбинационной логической схемой

- (1) Схема НЕ-ИЛИ
- (2) Схема НЕ-И
- (3) Схема Иключающее ИЛИ
 - a. Построение схемы Иключающее ИЛИ на элементах НЕ-И
 - b. Комбинации базовых элементов
- (4) И-ИЛИ-Инвертор(A-0-1)
- (5) Схема компаратора
 - a. Компаратор, построенный на базовых логических элементах
 - b. Компаратор, построенный на микросхемах ТТЛ
- (6) Схема Шмитта
- (7) Логическая схема с открытым коллектором
 - a. Схема высокого напряжения/тока
 - b. Построение схемы И на затворе с открытым коллектором
- (8) Схемы полусумматора и полного сумматора Построение полусумматора на базовых логических элементах
- (9) Схемы полувычитателя и полного вычитателя Построение вычитателя на базовых логических элементах
- (10) Схема генератора контроля четности
Генератор контроля четности на элементах Иключающее ИЛИ
- (11) Построение декодера 4-10 на микросхемах ТТЛ
- (12) Переключательные характеристики схемы преобразования уровня ТТЛ

2. KL-34002 Эксперимент с арифметической логикой, логикой с тремя состояниями и преобразователем кода

- (1) Логическая схема с тремя состояниями КМОП на полевом транзисторе
 - a. Измерения таблицы истинности
 - b. Построение схемы И на затворе с тремя состояниями
 - c. Цепь двунаправленной передачи
- (2) Схемы полусумматора и полного сумматора
 - a. Схема полного сумматора на микросхеме
 - b. Схема генератора с высокоскоростным сумматором
 - c. Схема сумматора двоично-десятичного кода
- (3) Схемы полувычитателя и полного вычитателя
Схемы полного сумматора и инвертора
- (4) Схема арифметико-логического устройства (АЛУ)
- (5) Схема генератора проверки четности
Микросхема генератора проверки четности
- (6) Цифровое преобразование 16-ричного кода в десятичный / десятичного в 16-ричный
 - a. Преобразование восьмизначного десятичного кода в 16-ричный
 - b. Преобразование восьмизначного 16-ричного кода в десятичный

3. KL-34003 Эксперимент с логическими схемами кодера, декодера и мультиплексера

- (1) Схема кодера
 - a. Построение кодера 4-2 на базовых затворах
 - b. Построение декодера 9-4 на микросхемах ТТЛ
- (2) Схема декодера
 - a. Построение декодера 2-4 на базовых затворах
 - b. Декодер двоично-десятичного кода в 7-сегментный код (KL-34003 блок d)

- (3) Схема мультиплексора
 - a. Построение мультиплексора 2-в-1
 - b. Использование мультиплексоров для создания функций
 - c. Построение схемы мультиплексора на микросхемах ТТЛ
- (4) Схема демультиплексора
Построение демультиплексора с 2 выходами на базовых логических элементах
- (5) Схема аналогового мультиплексора/демультиплексора с цифровым контролем
- (6) Переключательные характеристики схемы преобразования уровня КМОП

4. KL-34004 Эксперимент со схемами триггера, последовательной логики и счетчика

- (1) Схемы триггеров
 - a. Построение RS-триггера на базовых логических элементах
 - b. Построение D-триггера на RS-триггерах
 - c. Построение схемы шумоподавления на RS-триггерах
 - d. Построение JK-триггера на D-триггерах
 - e. Порог срабатывания и задержка JK-триггера
 - f. Построение синхронного двухступенчатого JK-триггера на двойных RS-триггерах
 - g. Построение регистра сдвига на D-триггерах
 - h. Регистр сдвига влево/вправо с предварительной установкой
- (2) Счетчики на JK-триггерах
 - a. Асинхронный двоичный счетчик
 - b. Асинхронный двоичный обратный счетчик
 - c. Асинхронный десятичный счетчик
 - d. Синхронный троичный счетчик
 - e. Синхронный двоичный счетчик
 - f. Синхронный двоичный прямой/обратный счетчик
 - g. Счетчик Джонсона
 - h. Кольцевой счетчик

5. KL-34005 Эксперимент с генератором, импульсным и нагрузочным прямым/обратным счетчиками

- (1) Построение оперативного запоминающего устройства (ОЗУ) на D-триггерах
- (2) Схема 64-разрядного оперативного запоминающего устройства (ОЗУ)
- (3) Схема стираемого программируемого постоянного запоминающего устройства (СППЗУ)
- (4) Асинхронный четырехразрядный двоичный счетчик (на микросхеме 7493)
- (5) Двоичный прямой/обратный счетчик с предварительной установкой
- (6) Десятичный прямой/обратный счетчик с предварительной установкой
- (7) Построение схемы без повторного запуска на специализированной микросхеме КМОП
- (8) Построение схемы с повторным запуском на микросхеме КМОП
- (9) Построение схемы генератора импульсов переменной скважности на двойных ждущих мультивибраторах



6. KL-34006 Эксперимент со схемами памяти, светодиодными матрицами, ЦАП/АЦП и интерфейсом микропроцессорного контроллера (ОПЦИЯ)

- (1) Схема электронного СППЗУ (ЭСППЗУ)
- (2) Эксперименты со схемой однополярного преобразования DAC0800
- (3) Схема преобразования с биполярным выходом
- (4) Эксперимент с аналого-цифровым преобразователем ADC0804 8-разрядным SAC
- (5) Построение счетчика динамической развертки на однокристальном микропроцессоре

7. KL-34007 Эксперимент с цифровым и аналоговым таймерами, схемой импульсного генератора

- (1) Построение схемы генератора на базовых логических элементах
 - a. Резисторно-емкостной мультивибратор
 - b. Резисторно-емкостной кварцевый мультивибратор
- (2) Построение схемы генератора на логическом элементе Шмитта
 - a. Резисторно-емкостной генератор
 - b. Резисторно-емкостной генератор с переменной скважностью
- (3) Схема генератора на микросхеме 555
 - a. Схема генератора 555
 - b. Схема генератора, управляемого напряжением
- (4) Схемы ждущих мультивибраторов
 - a. Схемы низкоскоростных ждущих мультивибраторов
 - b. Схема ждущего моновибратора с включенной / выключенной задержкой
 - c. Схема ждущего моновибратора с включенным / выключенным таймером
 - d. Построение схемы ждущего мультивибратора на микросхеме 555
- (5) Генератор сигнала с числовым управлением
- (6) Генератор с функцией точной частоты
- (7) Генератор сигнала с числовым управлением переменной скважности
- (8) Эксперименты с управлением с разными включенными / выключенными задержками и перепадами
- (9) Точный 15-разрядный симметричный/асимметричный генератор ШИМ

8. KL-34008 Эксперимент с непрерывным сравнением/SAC и АЦП с двухстадийным интегрированием

- (1) Эксперименты с простым цифро-аналоговым преобразователем с однополярным выходом R-2R
- (2) Эксперимент с 8-разрядным аналого-цифровым преобразователем с цифровым фронтом
- (3) Эксперимент с 8-разрядным аналого-цифровым преобразователем с последовательной аппроксимацией
- (4) Эксперимент с 8-разрядным аналого-цифровым преобразователем с двухстадийным интегрированием

9. KL-34009 Клавиатура и дисплей для позиционного управления шаговым двигателем

- (1) Эксперимент с контролем положения/ скорости шагового двигателя

10. KL-34010 Точный цифровой таймер синхронизации

- (1) Эксперимент с синхронизацией
- (2) Эксперимент с таймером

11. KL-34011 Эксперимент с универсальным устройством CPLD и монтажной платой

- (1) Создание блок-схемы/схематической диаграммы в Quartus II
- (2) 16-разрядный 16-ричный счетчик
- (3) 16-разрядный десятичный счетчик
- (4) 16-разрядный десятичный прямой/обратный счетчик с предварительной установкой
- (5) 16-разрядный контроллер развертки для 7-сегментного дисплея
- (6) 16-разрядный прямой/обратный счетчик и его индикация на 7-сегментном дисплее
- (7) Электронная музыкальная шкалулка
- (8) Светофор с анимацией и индикацией времени

► Системные требования

1. ПК с ЦПУ Pentium IV и выше
2. Windows 7 / Vista / XP

► Аксессуары (KL-39001)

1. Руководство по проведению экспериментов : 1шт.
2. Соединительные разъемы и провода : 1 комплект
3. Программное обеспечение Quartus II
4. Программатор USB